



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Off nl gungsschrift
⑩ DE 198 25 258 A 1

⑤1 Int. Cl.⁶:
H 04 L 25/49
H 04 L 25/08

②1 Aktenzeichen: 198 25 258.7
②2 Anmeldetag: 5. 6. 98
④3 Offenlegungstag: 9. 12. 99

DE 198 25 258 A 1

⑦1 Anmelder:
Telefonaktiebolaget L M Ericsson (publ),
Stockholm, SE

⑦4 Vertreter:
HOFFMANN · EITLE, 81925 München

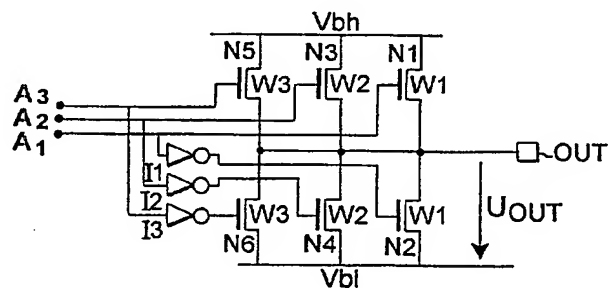
⑦2 Erfinder:
Hedberg, Mats, Haninge, SE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Ausgangspufferschaltkreis zum Übertragen von digitalen Signalen über eine Übertragungsleitung mit Preemphasis

⑤7 Die vorliegende Erfindung betrifft einen Ausgangspufferschaltkreis zum Übertragen von digitalen Signalen über eine Übertragungsleitung mit Preemphasis. Die Ausgangsstufe schließt einen oberen und einen unteren Impedanzschaltkreis ein. Beide Impedanzschaltkreise empfangen Impedanzsteuersignale von einem Steuerschaltkreis so, daß ein Impedanzverhältnis zwischen der ersten Impedanz und der zweiten Impedanz einen von wenigstens drei verschiedenen vorbestimmten Werten gemäß dem gegenwärtigen Zustand und der Vergangenheit eines digitalen Dateneingangssignals annimmt, und so, daß die Summe der Konduktanzen von dem ersten und zweiten Impedanzschaltkreis unabhängig ist von den erzeugten Impedanzverhältnissen. Bevorzugt bestehen beide Impedanzschaltkreise aus einer Vielzahl von Transistoren, die parallel geschaltet sind. Für jeden Transistor in dem ersten Impedanzschaltkreis existiert ein entsprechender Transistor in dem zweiten Impedanzschaltkreis, der denselben EIN-Widerstand hat. Der Steuerschaltkreis steuert den ersten und den zweiten Impedanzschaltkreis so, daß in jedem Paar zu jeder Zeit ein Transistor in dem EIN-Zustand ist und der andere Transistor in dem AUS-Zustand.



DE 198 25 258 A 1

Die vorliegende Erfindung betrifft einen Ausgangspufferschaltkreis zum Übertragen von digitalen Signalen über eine Übertragungsleitung mit Preemphasie.

Die Komplexität und Betriebsgeschwindigkeit von digitalen Kommunikationssystemen ist enorm gewachsen. Dieses resultiert in erhöhten Anforderungen an diejenigen Systemkomponenten, die dazu dienen, verschiedene Systemabschnitte miteinander zu verbinden. In einem digitalen System sind Übertragungsleitungen ein geeignetes Mittel zur Verbindung von Systemabschnitten miteinander. Abhängig von der Betriebsgeschwindigkeit müssen bereits Leiterbahnen auf einer gedruckten Schaltungsplatine mit einer Länge von wenigen Zentimetern als Übertragungsleitung behandelt werden, um eine Verzerrung der übertragenen digitalen Signale auf Grund von Fehlanpassung des Übertragungsleitungs ansteuernden Ausgangspufferschaltkreises und des Eingangspufferschaltkreises, der die übertragenen Signale am anderen Ende der Leitung empfängt, zu vermeiden. Verzerrungen des übertragenen Signals aufgrund von Reflexionen können reduziert werden, und die Datenübertragungsgeschwindigkeit kann erhöht werden, wenn auch die Quellenimpedanz des Ausgangspufferschaltkreises an den Wellenwiderstand der Übertragungsleitung angepaßt ist.

Es ist bei bandbreitenbeschränkten Medien, beispielsweise realen Übertragungsleitungen wie Kabel, Leiterbahnen gedruckter Schaltungen usw. ein wohl bekanntes Problem, daß wenn die Übertragungsgeschwindigkeit oder die Länge des Übertragungsmediums vergrößert wird, das Signal auf der Empfängerseite selbst dann verschlechtert wird, wenn keine Fehlanpassung vorhanden ist. Solch eine Verschlechterung resultiert aus der Tatsache, daß höhere Frequenzanteile des Signals in dem Medium eine höhere Dämpfung erfahren als Signalkomponenten mit geringeren Frequenzen. Diese ungleichförmige Dämpfungscharakteristik des Übertragungsmediums verzerrt die Form von übertragenen digitalen Signalen auf der Empfängerseite des Mediums. Beispielsweise erreicht eine einzelne digitale Null oder Eins auf der Empfängerseite nicht ihre volle Signalamplitude, was zu Fehlern in der Erfassung des Logikpegels des Signals führen kann. Diese Verzerrung der für die Übertragung von logischen Pegeln verwendeten Signalsymbole kann auch datenabhängige Verzerrung oder Zwischensymbolinterferenz genannt werden.

Es sind Verfahren zum Kompensieren der nachteiligen Effekte der Übertragungsmedien auf das übertragene Signal bekannt. Ein derartiges Verfahren ist, dem Signal in dem Ausgangspuffer, der die Leitung ansteuert, eine Preemphasie-Verzerrung zu verleihen. Die Preemphasie-Verzerrung des übertragenen Signals berücksichtigt die frequenzabhängigen Dämpfungen des Signals in dem Übertragungsmedium, so daß auf der Empfängerseite der nachteilige Effekt der Zwischensymbolinterferenz gemildert oder kompensiert werden kann. Eine einfache, bekannte Weise der Bereitstellung einer Preemphasie-Verzerrung ist es, die Signalamplitude einer einzelnen digitalen Null oder einer einzelnen digitalen Eins zu vergrößern, um die Verzerrung der einzelnen Symbole auf der Empfängerseite zu kompensieren. Ein Ausgangspufferschaltkreis mit der Fähigkeit, dem Ausgangssignal eine Preemphasie zu verleihen, bestimmt die Ausgangsamplitude abhängig von dem momentanen Logikpegel des zu übertragenden Dateneingangssignals und der Vergangenheit des Dateneingangssignals, beispielsweise des Logikpegels des Dateneingangssignals eine Bittaktperiode vorher.

Aus US 4 243 229 ist ein Ausgangspufferschaltkreis be-

kannt, der ein digitales Signal an eine Übertragungsleitung liefert. Der bekannte Schaltkreis ist in der Lage, ein binäres Signal mit einer digital abgleichenbaren Quellenimpedanz zu erzeugen. Der bekannte Schaltkreis besteht aus einer Reihenschaltung von zwei digitalen Impedanzen. In Übereinstimmung mit einem Dateneingangssignal ist eine dieser digitalen Impedanzen aktiv, während die andere digitale Impedanz inaktiv ist, d. h. in einem Zustand hoher Impedanz. Beide digitale Impedanzen werden so gesteuert, daß ihre Impedanzwerte im aktiven Zustand gleich sind. Jede digitale Impedanz besteht aus einer Parallelschaltung von MOSFET-Transistoren. Es ist ein Steuerschaltkreis vorgesehen, der so viele der MOSFETs wie nötig aktiviert, um die Sollimpedanz im aktiven Zustand zu erreichen. Jedoch erfordert die Ausgabe eines Signals mit Preemphasie, daß der Ausgangspufferschaltkreis in der Lage ist, mehr als zwei verschiedene Ausgangssignalpegel zu erzeugen. Der aus diesem Dokument bekannte Schaltkreis ist nicht in der Lage, diese Anforderung zu erfüllen.

Es ist die Aufgabe der vorliegenden Erfindung, einen Ausgangspufferschaltkreis zum Ansteuern einer Übertragungsleitung bereitzustellen, der in der Lage ist, ein Ausgangssignal zur Übertragung mit einer Preemphasie-Verzerrung und mit einer konstanten Ausgangsimpedanz zu erzeugen.

Gemäß der vorliegenden Erfindung wird diese Aufgabe gelöst wie in den unabhängigen Patentansprüchen angegeben.

Vorteilhafte Ausführungsbeispiele der vorliegenden Erfindung ergeben sich aus den abhängigen Ansprüchen.

Ein Ausgangspufferschaltkreis gemäß einem Ausführungsbeispiel der vorliegenden Erfindung umfaßt eine Ausgangsstufe, die einen ersten Impedanzschaltkreis und einen zweiten Impedanzschaltkreis einschließt. Der erste Impedanzschaltkreis ist geschaltet, eine erste Impedanz zwischen einem oberen Spannungsversorgungsknoten und einem Ausgangsanschluß zur Verbindung der Übertragungsleitung bereit zu stellen, wobei die erste Impedanz gemäß einem Impedanzsteuersignal steuerbar ist. Der zweite Impedanzschaltkreis ist geschaltet, eine zweite Impedanz zwischen einem unteren Spannungsversorgungsknoten und dem Ausgangsanschluß bereitzustellen. Die zweite Impedanz ist gemäß einem zweiten Impedanzsteuersignal steuerbar. Ein Steuerschaltkreis ist vorgesehen, um ein digitales Dateneingangssignal zu empfangen und die Impedanzsteuersignale für den ersten Impedanzschaltkreis und den zweiten Impedanzschaltkreis zu erzeugen, gemäß dem digitalen Dateneingangssignal. Der Steuerschaltkreis erzeugt die Impedanzsteuersignale für den ersten Impedanzschaltkreis und den zweiten Impedanzschaltkreis so, daß das Verhältnis der ersten Impedanz und der zweiten Impedanz einen von wenigstens drei verschiedenen vorbestimmten Werten annehmen kann, gemäß dem gegenwärtigen Zustand und der Vergangenheit des digitalen Dateneingangssignals, um ein Ausgangssignal für die Übertragungsleitung mit einer Preemphasie-Verzerrung zu erzeugen. Der Steuerschaltkreis erzeugt die Impedanzsteuersignale für den ersten Impedanzschaltkreis und für den zweiten Impedanzschaltkreis außerdem so, daß die Summe der Konduktanz, die von dem ersten Impedanzschaltkreis bereitgestellt wird, und der Konduktanz, die von dem zweiten Schaltkreis bereitgestellt wird, unabhängig von den erzeugten Impedanzverhältnissen ist.

Wenn die Summe der Konduktanzen des ersten Impedanzschaltkreises und des zweiten Impedanzschaltkreises, d. h. die Summe der Inversen der ersten Impedanz und der Inversen der zweiten Impedanz, für alle Impedanzverhältnisse, die unter Steuerung des Steuerschaltkreises erzeugt werden, gleich ist, ist die Ausgangsimpedanz des Ausgangspufferschaltkreises für alle erzeugten Signalpegel, die in

dem Ausgangssignal mit Preemphasis auftreten, im wesentlichen konstant.

Bevorzugt umfaßt jeder Impedanzschaltkreis eine Vielzahl von Transistoren, deren Drain-Source-Pfade parallel geschaltet sind. Die Transistoren empfangen an ihren Gates einzelne Steuersignale zum Ausschalten oder Einschalten des jeweiligen Transistors. Der jeweilige EIN-Widerstand des Transistors wird durch physikalische Entwurfsparameter des Transistors bestimmt, beispielsweise die Kanalbreite und die Kanallänge des Transistors. Bevorzugt sind die parallelgeschalteten Transistoren eines jeden Impedanzelementes so konstruiert, daß ihre jeweiligen EIN-Impedanzen in binärer Relation zueinander stehen, d. h. daß die EIN-Impedanz des n -ten Transistors eines jeden Impedanzelementes gleich dem 2^{n-1} -fachen der EIN-Impedanz des Transistors 1 dieses Impedanzschaltkreises ist. Dieses kann beispielsweise dadurch erreicht werden, daß die Transistoren eines jeden Impedanzschaltkreises so konstruiert sind, daß $W(n) = 2^{(n-1)} \cdot W(1)$ ist, wobei $W(n)$ die Kanalbreite des Transistorelementes n des Impedanzschaltkreises ist.

Bevorzugt umfassen die Impedanzschaltkreise der Ausgangsstufe gleiche Sätze von Transistoren. Einander entsprechende Transistoren in dem ersten Impedanzschaltkreis und in dem zweiten Impedanzschaltkreis, die dieselben Eigenschaften haben, werden bevorzugt so angesteuert, daß der Transistor in einem Impedanzschaltkreis ausgeschaltet ist, wenn der entsprechende Transistor in dem anderen Impedanzschaltkreis eingeschaltet ist, beispielsweise durch Ansteuern der Gates entsprechender Transistoren des ersten Impedanzschaltkreises und des zweiten Impedanzschaltkreises mit Steuersignalen, die zueinander komplementär sind. Dieses stellt auf einfache Weise sicher, daß die Summe der Konduktanzen des ersten Impedanzschaltkreises und des zweiten Impedanzschaltkreises gleich bleiben, unabhängig von dem Impedanzverhältnis des ersten Impedanzschaltkreises und des zweiten Impedanzschaltkreises.

Im folgenden werden bevorzugte Ausführungsbeispiele der vorliegenden Erfindung unter Bezugnahme auf die beiliegenden Zeichnungen beschrieben:

Fig. 1 zeigt ein Beispiel eines von einem Ausgangspufferschaltkreis gemäß der vorliegenden Erfindung gemäß einem Dateneingangssignal und der Vergangenheit des Dateneingangssignals erzeugtes Ausgangssignal mit Preemphasis;

Fig. 2 zeigt ein Ausführungsbeispiel eines Ausgangspufferschaltkreises gemäß der vorliegenden Erfindung;

Fig. 3 zeigt ein Diagramm, das die Ausgangsspannung des Ausführungsbeispiels der Fig. 2 als Funktion eines digitalen Mehrbit-Steuersignals darstellt;

Fig. 4 zeigt ein zweites Ausführungsbeispiel eines Ausgangspufferschaltkreises gemäß der vorliegenden Erfindung;

Fig. 5 zeigt ein drittes Ausführungsbeispiel eines Ausgangspufferschaltkreises gemäß der vorliegenden Erfindung; und

Fig. 6 zeigt ein viertes Ausführungsbeispiel eines Ausgangspufferschaltkreises gemäß der vorliegenden Erfindung.

Fig. 1 zeigt ein Beispiel eines Ausgangssignals mit Preemphasis, das von einem Ausgangspufferschaltkreis gemäß der vorliegenden Erfindung erzeugt wird. In Fig. 1 bezeichnet Bezugszeichen D ein Dateneingangssignal, das aus einer Sequenz von binären Pegeln Null und Eins besteht. Das Bezugszeichen D_{-1} bezeichnet das um eine Bittaktperiode verzögerte, invertierte Dateneingangssignal D. Bezugszeichen Do bezeichnet ein Ausgangssignal mit Preemphasis, das von dem Ausgangspufferschaltkreis erzeugt wird, um eine Übertragungsleitung anzusteuern. In diesem speziellen Beispiel nimmt das Ausgangssignal Do vier ver-

schiedene Ausgangspegel an, abhängig von dem Dateneingangssignal D und der Vergangenheit D_{-1} des Dateneingangssignals. Weil in diesem Ausführungsbeispiel nur die Vergangenheit der Eingangsdaten D_{-1} eine Bittaktperiode vorher berücksichtigt wird, hat das Ausgangssignal Do eine Preemphasis erster Ordnung. Dieses Preemphasisignal erster Ordnung liefert eine vergrößerte Signalamplitude während Bitperioden, die einem Pegelwechsel des Eingangssignals D unmittelbar folgen. Darauf folgende Bits mit demselben Logikpegel resultieren darin, daß Do den normalen Ausgangspegel annimmt.

Das in Fig. 1 gezeigte Signal Do mit Preemphasis erster Ordnung kann auf verschiedene Weisen erzeugt werden. Ein einfacher Schaltkreis zum Erzeugen eines Ausgangssignals Do mit Preemphasis erster Ordnung besteht aus einem Verzögerungselement, einem Multiplikationselement zum Multiplizieren eines Eingangswertes mit einem Faktor $(-k)$ und einem Addierer mit zwei Eingängen. Das Dateneingangssignal D wird an einen der Eingänge des Addierers und an das Verzögerungselement angelegt, das eine Verzögerung von einer Bitperiode bereitstellt. Die Ausgabe des Verzögerungselementes wird in das Multiplikationselement eingegeben, wo es mit $(-k)$ multipliziert wird, wobei k die Stärke der Preemphasis in dem Ausgangssignal Do bestimmt. Das Ausgangssignal des Multiplizierers wird in den zweiten Eingang des Addierers eingegeben. Der Ausgang des Addierers stellt das Prephasissignal $Do = D - k \cdot D_{-1}$ erster Ordnung bereit. Das von dem Addierer ausgegebene Ausgangssignal Do kann durch ein Ausgangspegelsteuerwort mit n Bits dargestellt werden, wobei n positiv ganzzahlig ist, zur Steuerung des Ausgangspegels des Ausgangspufferschaltkreises.

Abhängig von der frequenzabhängigen Dämpfungsscharakteristik des mittels Preemphasis zu kompensierenden Mediums kann ein Preemphasis-Schaltkreis mit einer Ordnung höher als 1 erforderlich sein. Ein Preemphasis-Schaltkreis höherer Ordnung erfordert eine längere Eingangsdatenvergangenheit. Ein Datenausgangssignal Do mit einer Preemphasis mit einer Ordnung i größer als 1 kann ohne weiteres einfach dadurch erhalten werden, daß eine Mehrzahl von Verzögerungselementen zum Verzögern des Dateneingangssignals D um jeweilige Vielfache der Bittaktperiode vorgesehen wird, und durch Addieren des Dateneingangssignals D und der gewichteten Ausgaben der Verzögerungselemente, was in einem Ausgangssignal $Do = D - k_1 D_{-1} - k_2 D_{-2} - \dots - k_i D_{-i}$ mit einer Preemphasis höherer Ordnung und mit m verschiedenen Ausgangspegeln resultiert, die von einem Ausgangspegelsteuerwort mit n Bits dargestellt werden.

Fig. 2 zeigt ein erstes Ausführungsbeispiel eines Ausgangspufferschaltkreises gemäß der vorliegenden Erfindung.

Diese Ausgangsstufe umfaßt einen ersten Impedanzschaltkreis, der in diesem Ausführungsbeispiel aus den Transistoren N1, N3 und N5 besteht, deren Drain-Source-Pfade parallel geschaltet sind. Die Drains der Transistoren N1, N3 und N5 sind mit einem Spannungsversorgungsknoten V_{bh} verbunden, der ein oberes Spannungsversorgungspotential liefert. Die Source der Transistoren N1, N3 und N5 ist mit einem Ausgangsanschluß Out der Ausgangsstufe verbunden, zur Verbindung mit einer in Fig. 2 nicht gezeigten Übertragungsleitung.

Die Ausgangsstufe dieses Ausführungsbeispiels umfaßt außerdem einen zweiten Impedanzschaltkreis, der in diesem Ausführungsbeispiel aus den Transistoren N2, N4 und N6 besteht, deren Drain-Source-Pfade parallel geschaltet sind. Die Drains der Transistoren N2, N4 und N6 sind mit dem Ausgangsanschluß Out verbunden, während die Sources der Transistoren N2, N4 und N6 mit einem zweiten Spannungs-

versorgungsknoten auf einem unteren Spannungsvorsorgungspotential Vbl verbunden sind. W1 bis W3 in Fig. 2 bezeichnet die Kanalbreite der Transistoren N1 bis N6. Für jeden Transistor in dem ersten Impedanzschaltkreis existiert ein Transistor mit einer entsprechenden Kanalbreite in dem zweiten Impedanzschaltkreis. Im einzelnen entspricht der Transistor N2 dem Transistor N1. Der Transistor N4 entspricht N3 und der Transistor N6 entspricht N5. Bevorzugt sind die Kanalbreiten W1 bis W3 gemäß $W3 = 2 \times W2 = 4 \times W1$ gewählt, um unter den EIN-Widerständen der Transistoren des ersten und des zweiten Impedanzschaltkreises der Fig. 2 eine binär gewichtete Beziehung zu erreichen.

I1 bis I3 bezeichnen Inverter zum Invertieren jeweiliger digitaler Steuersignale A1 bis A3 eines Dreibit-Ausgangspegelsteuerwortes, das von einem Steuerschaltkreis bereitgestellt wird, dessen Funktion in Zusammenhang mit Fig. 1 beschrieben worden ist. Das Dreibit-Ausgangspegelsteuerwort stellt die Signalamplitude eines Ausgangssignals Do mit Preemphasis dar. Der Eingang des Inverters I1 ist mit dem Gate des Transistors N1 verbunden, und sein Ausgang ist mit dem Gate des Transistors N2 verbunden. Der Eingang des Inverters I2 ist mit dem Gate des Transistors N3 verbunden, und sein Ausgang ist mit dem Gate des Transistors N4 verbunden. Der Eingang des Inverters I3 ist mit dem Gate des Transistors N5 verbunden und sein Ausgang ist mit dem Gate des Transistors N6 verbunden. Auf diese Weise stellen die Inverter I1 bis I3 sicher, daß in jedem der drei Paare von entsprechenden Transistoren in Fig. 2, einer der beiden Transistoren in dem EIN-Zustand ist, während der andere Transistor des Paares aus ist, d. h. in einem Zustand hoher Impedanz. Die Existenz und Beschaltung der Inverter I1 bis I3 gemäß diesem Ausführungsbeispiel führt dazu, daß unabhängig vom Wert des Ausgangspegelsteuerwortes (A3, A2, A1), die Ausgangsimpedanz am Ausgangsanschluß Out der Ausgangsstufe der Fig. 2 einen konstanten Wert hat, bevorzugt in Übereinstimmung mit dem Wellenwiderstand der Übertragungsleitung, die an den Ausgangsanschluß Out angeschlossen ist. Die Ausgangsimpedanz wird von der Summe der Konduktanzen aller Transistoren der Ausgangsstufe im EIN-Zustand bestimmt, die aufgrund des Vorhandenseins der Inverter I1 bis I3 und des Vorhandenseins von Paaren einander entsprechender Transistoren in dem ersten Impedanzschaltkreis und in dem zweiten Impedanzschaltkreis konstant ist. Natürlich können anstelle der gezeigten Inverter I1 bis I3 andere Schaltungen eingesetzt werden, um die Transistoren N1 bis N6 in der dargestellten Art und Weise zu steuern.

Fig. 3 zeigt die Ausgangsspannung Out falls keine Last über den Ausgang der Ausgangsstufe der Fig. 2 geschaltet ist, abhängig von dem Wert des Ausgangspegelsteuerwortes (A3, A2, A1). Wenn die Kanalbreite W1 bis W3 der Transistoren N1 bis N6, wie in Fig. 2 gezeigt, so konstruiert ist, daß $W3 = 2 \times W2 = 4 \times W1$ ist, d. h. in einer binär gewichteten Beziehung zueinander, ist die Ausgangsspannung Uout zwischen Vbl und Vbh in acht gleich großen Stufen einstellbar, wobei die Quellenimpedanz für alle acht verschiedenen Ausgangspegel von Uout gleich ist.

Während die Ausgangsstufe der Fig. 2 und der Graph von Uout abhängig vom Ausgangspegelsteuerwort an den Eingängen A1 bis A3 der Ausgangsstufe für den speziellen Fall eines Ausgangspegelsteuerwortes mit drei Bit gezeigt wurde, kann natürlich das Ausgangspegelsteuerwort abhängig von der gewünschten Ordnung der Preemphasis des Ausgangssignals Do n Bit A1 bis An umfassen, wobei n größer gleich 2 ist, wobei n Transistoren, beispielsweise mit Kanalbreiten W1 bis Wn in einer binär gewichteten Beziehung zueinander, in jedem der ersten und zweiten Impedanzschaltkreise der Ausgangsstufe der Fig. 2 vorgesehen

sind.

Fig. 4 zeigt ein zweites Ausführungsbeispiel gemäß der vorliegenden Erfindung, zum Ansteuern einer symmetrischen Übertragungsleitung Tl. Elemente in Fig. 4, die in Fig. 2 gezeigten Elementen entsprechen, sind mit denselben Bezugszeichen bezeichnet. Betreffend diese Elemente wird Bezug genommen auf die Beschreibung der Fig. 2, um Wiederholungen zu vermeiden.

Das Ausführungsbeispiel der Fig. 4 umfaßt eine erste Ausgangsstufe mit einer Struktur, die ähnlich der in Fig. 2 gezeigten ist. Die erste Ausgangsstufe der Fig. 4 umfaßt die Transistoren N1 bis N6 und die Inverter I1 bis I3. Betreffend diese Elemente wird Bezug genommen auf die Beschreibung der Fig. 2. Die Sources der Transistoren N1, N3 und N5 und die Drains der Transistoren N2, N4 und N6 sind mit einem Ausgangsanschluß Outp zur Verbindung mit einem der Leiter der Übertragungsleitung Tl verbunden.

Die zweite Ausgangsstufe der Fig. 4 umfaßt Transistoren N11 bis N16 und Inverter I4 bis I6. Die Drains der Transistoren N11, N13 und N15 sind mit dem oberen Spannungsvorsorgungsknoten auf einem oberen Spannungsvorsorgungspotential Vbh verbunden. Die Sources der Transistoren N11, N13 und N16 sind mit einem zweiten Ausgangsanschluß Outn zur Verbindung mit einem zweiten Leiter der symmetrischen Übertragungsleitung Tl verbunden.

Die Drains der Transistoren N12, N14 und N16 sind mit dem zweiten Ausgangsanschluß Outn verbunden. Die Sources der Transistoren N12, N14 und N16 sind mit dem unteren Spannungsvorsorgungsknoten auf dem unteren Spannungsvorsorgungspotential Vbl verbunden. Der Eingang des Inverters I4 ist mit dem Gate des Transistors N11 verbunden. Der Ausgang des Inverters I4 ist mit dem Gate des Transistors N12 verbunden. Der Eingang des Inverters I5 ist mit dem Gate des Transistors N13 verbunden. Der Ausgang des Inverters I5 ist mit dem Transistor N14 verbunden. Der Eingang des Inverters I6 ist mit dem Gate des Transistors N15 verbunden. Der Ausgang des Inverters I6 ist mit dem Gate des Transistors N16 verbunden. Ähnlich wie in der ersten Ausgangsstufe bezeichnen W1, W2 und W3 die Kanalbreiten eines jeden der Transistoren der zweiten Ausgangsstufe. Betreffend die Kanalbreite der Transistoren N11 bis N16 wird Bezug genommen auf die Beschreibung der Fig. 2 und 3. Die Transistoren N11, N13 und N15 bilden einen ersten steuerbaren Impedanzschaltkreis der zweiten Ausgangsstufe während die Transistoren N12, N14 und N16 einen zweiten steuerbaren Impedanzschaltkreis der zweiten Ausgangsstufe bilden. Für jeden Transistor in dem ersten Impedanzschaltkreis existiert ein entsprechender Transistor in dem zweiten Impedanzschaltkreis, wobei einander entsprechende Transistor dieselbe Kanalbreite haben. Einander entsprechende Transistoren im ersten Impedanzschaltkreis und im zweiten Impedanzschaltkreis empfangen komplementäre Gatesteuersignale, die in diesem Ausführungsbeispiel von jeweils zugehörigen Invertern I4 bis I6 erzeugt werden.

B1, B2 und B3 bezeichnen Eingänge für jeweilige Bits eines Mehrbit-Ausgangspegelsteuersignals zum Steuern des Ausgangspegels an dem zweiten Ausgangsanschluß Outn. Beide Ausgangspegelsteuerworte (A3, A2, A1) und (B3, B2, B1) werden von einem Steuerschaltkreis gemäß einem Dateneingangssignal und der Vergangenheit des Dateneingangssignals bereitgestellt, wie in Zusammenhang mit Fig. 1 beschrieben wurde. Um ein symmetrisches Ausgangssignal Uout über den Ausgangsanschlüssen Outp und Outn des Ausgangsbufferschaltkreises gemäß Fig. 4 zu erzielen, kann das Steuerwort (B3, B2, B1) einfach das Komplement des Steuerwortes (A3, A2, A1) sein. Das heißt, B1, B2 bzw. B3 kann logisch invers sein zu A1, A2 bzw. A3.

Bezugszeichen X und Y in Fig. 4 stellen die Eingangsanschlüsse eines Empfängers dar, der mit der Übertragungsleitung TL verbunden ist. Die Empfängerschaltung wird durch eine Abschlußimpedanz RT dargestellt. Die Empfängerschaltung kann herkömmlich sein und ist als solche kein Bestandteil der vorliegenden Erfindung.

Während das Ausführungsbeispiel der Fig. 4 zwei Ausgangsstufen umfaßt, von denen jede drei Paare von sich entsprechenden Transistoren und zugehörige Steuerlogik hat, kann die Anzahl von Paaren von entsprechenden Transistoren in jeder Ausgangsstufe irgendeine Zahl größer gleich 2 sein, abhängig von der gewünschten Ordnung der Preemphasis im Ausgangssignal Uout, das von dem Ausgangspufferschaltkreis erzeugt wird.

Weil in dem in Fig. 4 gezeigten Ausführungsbeispiel zu jeder Zeit genau ein Transistor in jedem Paar voneinander entsprechenden Transistoren im EIN-Zustand ist, bleibt die Ausgangsimpedanz über den Ausgangsanschlüssen Outp und Outn konstant, unabhängig von der zeitlich variierenden Ausgangspotentialdifferenz Out über den Ausgangsanschlüssen Outp und Outn. Bevorzugt sind die Kanalbreiten W1 bis Wn der Transistoren der in Fig. 4 gezeigten Ausgangsstufen konstruiert, in einer binär gewichteten Relation zu stehen, d. h. $W(n) = 2 \times W(n-1) = \dots = 2^{n-1} \times W(1)$. In diesem Fall steht die Ausgangssignalamplitude Uout in einer linearen Beziehung zu der Ausgangspegel-Steuerworten, wie in Fig. 3 gezeigt ist.

Fig. 5 zeigt ein drittes Ausführungsbeispiel eines Ausgangspufferschaltkreises gemäß der vorliegenden Erfindung.

Der Ausgangspufferschaltkreis gemäß Fig. 5 steuert eine symmetrische Übertragungsleitung TL an, die mit dem Ausgangsanschluß Outp und Outn des Ausgangspufferschaltkreises verbunden ist, ähnlich wie in Fig. 4. Dieses Ausführungsbeispiel umfaßt eine erste Ausgangsstufe, die die Transistoren N1 bis N6 umfaßt, eine zweite Ausgangsstufe, die die Transistoren N11 bis N16 umfaßt, eine dritte Ausgangsstufe N21 bis N26 und eine vierte Ausgangsstufe N31 bis N36. Jede Ausgangsstufe umfaßt einen ersten Impedanzschaltkreis und einen zweiten Impedanzschaltkreis, wobei jeder Impedanzschaltkreis eine Vielzahl von Transistoren umfaßt, deren Drain-Source Pfade zueinander parallel geschaltet sind. Die Gates der Transistoren eines jeden Impedanzschaltkreises empfangen jeweilige Steuersignale zum Ein- oder Ausschalten der jeweiligen Transistoren. Im EIN-Zustand verhält sich jeder Transistor im wesentlichen wie eine lineare Impedanz mit einem Impedanzwert, der durch Konstruktionsparameter wie die Kanalbreite und die Kanallänge des Transistors bestimmt wird. Der Drain-Source Pfad eines Transistors im AUS-Zustand ist im wesentlichen nicht leitend.

In dem Ausführungsbeispiel der Fig. 5 besteht der erste Impedanzschaltkreis der ersten Ausgangsstufe aus den Transistoren N1, N3 und N5. Der erste Impedanzschaltkreis ist zwischen einem oberen Spannungsversorgungsknoten geschaltet, der ein oberes Spannungsversorgungspotential Vbh liefert, und den Ausgangsanschluß Outp des Ausgangspufferschaltkreises. Der zweite Impedanzschaltkreis der ersten Ausgangsstufe besteht aus den Transistoren N2, N4 und N6 und ist zwischen den Ausgangsanschluß Outp und einen Zwischenknoten auf einem Potential VGND geschaltet. Der erste Impedanzschaltkreis der zweiten Ausgangsstufe besteht aus den Transistoren N11, N13 und N15 und ist zwischen den Knoten auf VGND und den Ausgangsanschluß Outp geschaltet. Der zweite Impedanzschaltkreis der zweiten Ausgangsstufe besteht aus den Transistoren N12, N14 und N16 und ist zwischen Outp und einen unteren Spannungsversorgungsknoten auf einem unteren Spannungsver-

sorgungspotential Vbl geschaltet. Das Zwischenpotential VGND kann zwischen dem oberen Spannungsversorgungspotential Vbh und dem unteren Spannungsversorgungspotential Vbl liegen.

Der erste Impedanzschaltkreis der dritten Ausgangsstufe besteht aus den Transistoren N21, N23 und N25 und ist zwischen den oberen Versorgungsknoten auf Vbh und den zweiten Ausgangsanschluß Outn des Ausgangspufferschaltkreises geschaltet. Der zweite Impedanzschaltkreis der dritten Ausgangsstufe besteht aus den Transistoren N22, N24 und N26 und ist zwischen den zweiten Ausgangsanschluß Outn und den Zwischenknoten VGND geschaltet. Der erste Impedanzschaltkreis der vierten Ausgangsstufe besteht aus den Transistoren N31, N33 und N35 und ist zwischen VGND und den zweiten Ausgangsanschluß Outn geschaltet. Schließlich ist der zweite Impedanzschaltkreis der vierten Ausgangsstufe zwischen Outn und den unteren Spannungsversorgungsknoten auf Vbl geschaltet. In jedem Impedanzschaltkreis sind die Drain-Source Pfade der Transistoren, die den jeweiligen Impedanzschaltkreis bilden, zueinander parallel geschaltet. Jeder Transistor empfängt an seinem Gate ein Steuersignal von dem Steuerschaltkreis, zum Ein- oder Ausschalten des jeweiligen Transistors. Im EIN-Zustand verhält sich der Drain-Source Pfad im wesentlichen wie eine lineare Impedanz mit einem Impedanzwert gemäß Konstruktionsparametern wie Kanalbreite und der Kanallänge des jeweiligen Transistors. Im AUS-Zustand ist der Drain-Source Pfad im wesentlichen nichtleitend.

G1 bis G24 und I11 bis I15 in Fig. 5, zusammen mit einem Ausgangspegelsteuerwort-Generatorschaltkreis, der im Zusammenhang mit Fig. 1 beschrieben worden ist, bilden einen Steuerschaltkreis zum Erzeugen von Signalen, die die Impedanzen eines jeden der Impedanzschaltkreise steuern. D bezeichnet das Eingangssignal, während A1 bis A3 Eingänge für die jeweiligen Bits eines Ausgangspegelsteuerwortes von dem Ausgangspegelsteuerschaltkreis bezeichnen. In Fig. 5 sind Logikgatter und Inverter so geschaltet, daß abhängig von dem Logikpegel des Dateneingangssignals D entweder die erste und die vierte Ausgangsstufe aktiv sind während die zweite und die dritte Ausgangsstufe inaktiv sind, oder die erste und die vierte Ausgangsstufe inaktiv sind während die zweite und die dritte Ausgangsstufe aktiv sind. Eine inaktive Ausgangsstufe bedeutet, daß beide Impedanzschaltkreise der Ausgangsstufe im nicht leitenden Zustand oder Zustand hoher Impedanz sind. Ähnlich wie in den vorangehenden Ausführungsbeispielen schließt jede Ausgangsstufe zwei entsprechende Transistoren ein, die konstruiert sind, dieselbe EIN-Impedanz zu haben, wobei einer dieser Transistoren in dem ersten Impedanzschaltkreis ist und der andere der beiden entsprechenden Transistoren in dem zweiten Impedanzschaltkreis ist. In einer aktiven Ausgangsstufe gemäß Fig. 5 ist in jedem Paar entsprechender Transistoren einer der Transistoren in dem EIN-Zustand während der andere Transistor in dem AUS-Zustand ist. Welcher der Transistoren an ist und welcher aus, wird von dem Ausgangspegelsteuerwort (A3, A2, A1) bestimmt.

In dem Ausführungsbeispiel gemäß Fig. 5 wird die Ausgangsimpedanz zwischen den Ausgangsanschlüssen Outp und Outn dadurch konstant gehalten, daß die Impedanzschaltkreise einer jeden der ersten bis vierten Ausgangsstufen so gesteuert werden, daß für jeden Ausgangsanschluß Outp und Outn die Summe der Konduktanzen, die die jeweiligen Ausgangsanschlüsse mit Vbh, mit Vbl und VGND verbinden, gleich ist, unabhängig von dem Wert des Ausgangspegelsteuerwortes (A3, A2, A1) und dem Logikpegel des Dateneingangssignals. Auf diese Weise ist die differenzielle Ausgangsimpedanz zwischen Outp und Outn unabhängig von der Ausgangsamplitude, die von dem Ausgangs-

pufferschaltkreis der Fig. 5 erzeugt wird.

Der Spannungsversorgungsknoten VGND kann, muß jedoch nicht mit einem Spannungsversorgungsschaltkreis zum Erzeugen der Potentiale Vbh, VGND und Vbl verbunden sein. Der Steuerschaltkreis zum Steuern der Impedanzen des ersten Impedanzschaltkreises und des zweiten Impedanzschaltkreises einer jeden der vier Ausgangsstufen gemäß dem Ausführungsbeispiel der Fig. 5 ist bevorzugt ausgebildet, diese Impedanzen so zu steuern, daß der erste Impedanzschaltkreis einer der aktiven Ausgangsstufen und der zweite Impedanzschaltkreis der anderen aktiven Ausgangsstufe denselben Impedanzwert annehmen.

In dem speziellen Ausführungsbeispiel des Steuerschaltkreises zum Steuern der Impedanzschaltkreise der in Fig. 5 gezeigten Ausgangsstufen bezeichnen G1 bis G3, G10 bis G15 und G22 bis G24 jeweils UND-Gatter mit zwei Eingängen. G4 bis G9 und G16 bis G21 bezeichnen jeweils NOR-Gatter mit zwei Eingängen. Ein erster Eingang eines jeden der Gatter G1 bis G3, G7 bis G9, G16 bis G18 und G22 bis G24 empfängt das Dateneingangssignal D. Ein erster Eingang eines jeden der Gatter G4 bis G6, G10 bis G15 und G19 bis G21 empfängt das invertierte Dateneingangssignal \bar{D} , das von den Invertern I11, I12 und I13 erhalten wird. Der zweite Eingang eines jeden der Gatter G3, G4, G9, G10, G15, G16 und G21, G22 empfängt das Bit A1 des Ausgangspegelsteuerwortes (A3, A2, A1) von dem Ausgangspegelsteuerschaltkreis. Die zweiten Eingänge der Gatter G2, G5, G8, G11, G14, G17, G20 und G23 empfangen das Bit A2 des Ausgangspegelsteuerwortes. Die zweiten Eingänge der Gatter G1, G6, G7, G12, G13, G18, G19 und G24 empfangen das Bit A3 des Ausgangspegelsteuerwortes. Die Ausgänge der Gatter G1, G2 bzw. G3 stellen Signale an die jeweiligen Gates der Transistoren N5, N3 bzw. N1 bereit. Die Ausgänge der Gatter G4, G5 bzw. G6 stellen Signale an die jeweiligen Gates der Transistoren N2, N4 bzw. N6 bereit. Die Ausgänge der Gatter G7, G5 bzw. G9 stellen Signale an die jeweiligen Gates der Transistoren N15, N13 bzw. N11 bereit. Die Ausgänge der Gatter G10, G11 bzw. G12 stellen Signale an die jeweiligen Gates der Transistoren N12, N14 bzw. N16 bereit. Die Ausgänge der Gatter G13, G14 bzw. G15 stellen Signale an die jeweiligen Gates der Transistoren N25, N23 bzw. N21 bereit. Die Ausgänge der Gatter G16, G17 bzw. G18 stellen Signale an die jeweiligen Gates der Transistoren N22, N24 bzw. N26 bereit. Die Ausgänge der Gatter G19, G20 bzw. G21 stellen Signale an die jeweiligen Gates der Transistoren N35, N33 bzw. N31 bereit. Die Ausgänge der Gatter G22, G23 bzw. G24 stellen Signale an die jeweiligen Gates der Transistoren N32, N34 bzw. N36 bereit.

Cd in Fig. 5 bezeichnet einen optionalen Entkopplungskondensator, der mit dem Zwischenknoten VGND verbunden ist. Wenn der Zwischenknoten VGND ein Punkt niedriger Impedanz für Signalfrequenzen ist, beispielsweise dadurch, daß der Entkopplungskondensator Cd nach Signalmasse vorgesehen ist, stellt der Ausgangspufferschaltkreis gemäß dem Ausführungsbeispiel der Fig. 5 außerdem eine konstante Gleichtaktausgangs impedanz bereit, die unabhängig ist von der Ausgangsamplitude über den Ausgangsanschlüssen Outp und Outn. Wenn diese Unabhängigkeit der Gleichtaktausgangs impedanz von der Signalamplitude an den Ausgangsanschlüssen gewünscht ist, kann der Zwischenknoten VGND mittels eines Entkopplungskondensators Cd nach irgendeinem der Spannungsversorgungspotential Vbl und Vbh niedriger Impedanz entkoppelt werden. Alternativ oder zusätzlich zu solch einem Entkopplungskondensator kann der Zwischenknoten VGND mit einer Spannungsversorgungsquelle verbunden sein, die ein Potential beispielsweise von $(Vbh+Vbl)/2$ bereitstellt.

Das Ausführungsbeispiel der Fig. 5 ist darin vorteilhaft, daß für eine gegebene differentielle Ausgangs impedanz und gegebene Ausgangssignalamplituden der Gesamt Leistungsverbrauch der Ausgangsstufen der Fig. 5 ungefähr halb so groß ist wie der Leistungsverbrauch des Ausführungsbeispiels gemäß Fig. 4. Während in dem Ausführungsbeispiel der Fig. 4 der Maximalstrom innerhalb jeder Ausgangsstufe von Vbh nach Vbl maximal ist, wenn die differentielle Ausgangsamplitude über den Ausgangsanschlüssen Outp und Outn auf ihrem Minimalwert ist, tritt in dem Ausführungsbeispiel gemäß Fig. 5 der interne Spitzenstrom durch die Ausgangsstufen von Vbh nach Vbl auf, wenn das differentielle Ausgangssignal einen mittleren Pegel annimmt, d. h. wenn die ersten und zweiten Impedanzschaltkreise in den aktiven Ausgangsstufen denselben Impedanzwert annehmen. Weil die Potentialdifferenz über jeder aktiver Ausgangsstufe lediglich die Hälfte der Potentialdifferenz über den Ausgangsstufen in dem Ausführungsbeispiel der Fig. 4 ist, ist der interne Strom in den Ausgangsstufen der Fig. 5 halb so groß wie in dem Ausführungsbeispiel der Fig. 4.

Betreffend die Anzahl von Paaren entsprechender Transistoren in jeder Ausgangsstufe und die Kanalbreite eines jeden der Transistoren der Ausgangsstufen wird Bezug genommen auf die vorangegangenen Ausführungsbeispiele, um Wiederholungen zu vermeiden.

Fig. 6 zeigt ein viertes Ausführungsbeispiel eines Ausgangspufferschaltkreises gemäß der vorliegenden Erfindung. In dieser Figur sind Elemente ähnlich Elementen des dritten Ausführungsbeispiels mit denselben Bezugsziffern bezeichnet. Betreffend diese Elemente wird Bezug genommen auf die Beschreibung der Fig. 5, um Wiederholungen zu vermeiden.

Das in Fig. 6 gezeigte, vierte Ausführungsbeispiel stellt einen Ausgangspufferschaltkreis zum Ansteuern einer symmetrischen Übertragungsleitung TL bereit. Dieses Ausführungsbeispiel umfaßt eine erste Ausgangsstufe einschließlich eines ersten Impedanzschaltkreises, der zwischen Vbh und den ersten Ausgangsknoten Outp geschaltet ist. Die erste Ausgangsstufe umfaßt außerdem einen zweiten Impedanzschaltkreis, der zwischen den ersten Ausgangsknoten Outp und das untere Spannungsversorgungspotential Vbl geschaltet ist. Der erste Impedanzschaltkreis der ersten Ausgangsstufe ist aus einer Parallelschaltung der Drain-Source-Pfade der Transistoren N1, N3 und N5 gebildet. Der zweite Impedanzschaltkreis der ersten Ausgangsstufe ist in diesem Ausführungsbeispiel aus einer Parallelschaltung der Drain-Source-Pfade der Transistoren N12, N14 und N16 gebildet. Der Ausgangspufferschaltkreis gemäß Fig. 6 umfaßt außerdem eine zweite Ausgangsstufe mit einem ersten Impedanzschaltkreis, der zwischen Vbh und den zweiten Ausgangsanschluß Outn geschaltet ist, und außerdem mit einem zweiten Impedanzschaltkreis, der zwischen Outn und Vbl geschaltet ist. Der erste Impedanzschaltkreis ist in diesem Ausführungsbeispiel aus einer Parallelschaltung der Drain-Source-Pfade der Transistoren N21, N23 und N25 gebildet. Der zweite Impedanzschaltkreis der zweiten Ausgangsstufe ist in diesem Ausführungsbeispiel aus einer Parallelschaltung der Drain-Source-Pfade der Transistoren N32, N34 und N36 gebildet. In jeder Ausgangsstufe ist für jeden Transistor in dem ersten Impedanzschaltkreis ein entsprechender Transistor in dem zweiten Impedanzschaltkreis vorgesehen, wobei sich entsprechende Transistoren konstruiert sind, denselben EIN-Widerstand zu haben. W1, W2 und W3 bezeichnen die Kanalbreiten der Transistoren in jedem der Impedanzschaltkreise.

Das Ausführungsbeispiel der Fig. 5 umfaßt außerdem einen steuerbaren Nebenschluß impedanzschaltkreis, der über die Ausgangsanschlüsse Outp und Outn geschaltet ist. Die

Gatter G1, G3, G10 bis G15 und G22 bis G24 zusammen mit den Invertern I12, I13, I15 bis I18 und der unter Bezugnahme auf Fig. 1 beschriebene Ausgangspegelsteuerwortgenerator-Schaltkreis bilden zusammen einen Steuerschaltkreis zum Erzeugen von Steuersignalen für jeden der Impedanzschaltkreise der ersten und zweiten Ausgangsstufen und für den Nebenschlußimpedanzschaltkreis über Outp und Outn.

Dieser Steuerschaltkreis ist ausgebildet, entweder den ersten Impedanzschaltkreis der ersten Ausgangsstufe und den zweiten Impedanzschaltkreis der zweiten Ausgangsstufe zu aktivieren oder den zweiten Impedanzschaltkreis der ersten Ausgangsstufe und den ersten Impedanzschaltkreis der zweiten Ausgangsstufe, abhängig von dem logischen Zustand des Dateneingangssignals D. Ein aktivierter Impedanzschaltkreis kann einen Impedanzwert gemäß dem Ausgangspegelsteuerwort (A3, A2, A1) annehmen, während in einem inaktivierten Impedanzschaltkreis alle Transistoren in dem AUS-Zustand sind. Der Steuerschaltkreis steuert die Impedanz der ersten und zweiten Impedanzschaltkreise der ersten und zweiten Ausgangsstufen und die Impedanz des Nebenschlußimpedanzschaltkreises so, daß die Summe der Konduktanz des Nebenschlußimpedanzschaltkreises, der Konduktanz des aktivierten Impedanzschaltkreises der ersten Ausgangsstufe und der Konduktanz des aktivierten Impedanzschaltkreises der zweiten Ausgangsstufe konstant und unabhängig von dem Signalausgangspegel über den Ausgangsanschlüssen Outp und Outn ist. Auf diese Weise ist die differentielle Ausgangsimpedanz des Ausgangspufferschaltkreises der Fig. 6 unabhängig von dem Ausgangssignalpegel.

In diesem Ausführungsbeispiel umfaßt der Nebenschlußimpedanzschaltkreis die Transistoren N43, N42 und N41, deren Drain-Source Pfade parallel über die Ausgangsanschlüsse Outp und Outn geschaltet sind. Für jedes Paar von sich entsprechenden Transistoren in der ersten Ausgangsstufe existiert ein Paar von entsprechenden Transistoren in der zweiten Ausgangsstufe, wobei einer von diesen Transistoren in dem ersten Impedanzschaltkreis der zweiten Ausgangsstufe ist und der andere in dem zweiten Impedanzschaltkreis der zweiten Ausgangsstufe. Für jedes dieser Quartetts entsprechender Transistoren mit demselben EIN-Widerstand ist ein Nebenschlußtransistor über den Ausgangsanschlüssen Outp und Outn des Ausgangspufferschaltkreises vorgesehen. Jeder Nebenschlußtransistor ist so konstruiert, daß er einen EIN-Widerstand hat, der doppelt so groß ist wie der EIN-Widerstand der Transistoren in seinem zugehörigen Quartett. Speziell hat in dem in Fig. 6 gezeigten Ausführungsbeispiel der Nebenschlußtransistor N43 eine halb so große Kanalbreite wie die Kanalbreite eines jeden der Transistoren N5, N16, N25 und N36. Der Nebenschlußtransistor N42 hat eine halb so große Kanalbreite wie die Transistoren N3, N14, N23 und N34. Der Nebenschlußtransistor N41 hat eine Kanalbreite die halb so groß ist wie die Kanalbreite W1 der Transistoren N1, N12, N21 und N32.

In dem Ausführungsbeispiel der Fig. 6 ist der Steuerschaltkreis ausgebildet, die Transistoren in den aktiven Impedanzschaltkreisen der ersten und zweiten Ausgangsstufen gemäß dem Dateneingangssignal und der Vergangenheit des Dateneingangssignals so zu steuern, daß für jedes der Transistorquartette und seinen dazugehörigen Nebenschlußtransistor entweder die beiden Transistoren in den beiden aktiven Impedanzschaltkreisen oder der Nebenschlußtransistor in dem EIN-Zustand sind. In dem Ausführungsbeispiel der Fig. 6 liefert der Inverter I16 an das Gate des Nebenschlußtransistors N41, der zu dem Quartett von entsprechenden Transistoren N1, N12, N21, N32 gehört, ein Gatesignal, das

das logisch Inverse der Gatesignale ist, die an die aktiven Transistoren dieses Quartetts gelegt werden. Mutatis mutandis ist der Ausgang des Inverters I17 mit dem Gate des Transistors N42 verbunden, um das Gate des Transistors N42 mit einem Steuersignal zu versehen, das das logisch Inverse des Gatesignals ist, das an die aktiven Transistoren des Quartetts N3, N14, N23, N34 gelegt wird, das zu dem Nebenschlußtransistor N42 gehört. Der Ausgang des Inverters I18 ist mit dem Gate des Nebenschlußtransistors N43 verbunden und liefert an das Gate dieses Nebenschlußtransistors ein Steuersignal, das das logisch Inverse des Steuersignals ist, das an die Gates der aktiven Transistoren in dem dazugehörigen Quartett der Transistoren N5, N16, N25 und N36 gelegt wird.

Der Ausgangspufferschaltkreis gemäß dem Ausführungsbeispiel der Fig. 6 ergibt dieselben Leistungseinsparungen wie das Ausführungsbeispiel der Fig. 5. Der Schaltkreis des vierten Ausführungsbeispiels der Fig. 6 ist weniger komplex als der Schaltkreis des dritten Ausführungsbeispiels gemäß Fig. 5. Das vierte Ausführungsbeispiel ist insbesondere vorteilhaft, wenn eine konstante Gleichtaktausgangsimpedanz unabhängig von der Ausgangssignalamplitude über den Ausgangsanschlüssen Outp und Outn nicht erforderlich ist.

Das Ausführungsbeispiel der Fig. 6 schließt drei Transistoren in jedem Impedanzschaltkreis ein, in Übereinstimmung mit den drei Bits des Ausgangspegelsteuerwortes zum Darstellen des Ausgangssignals. Natürlich kann die Anzahl von Transistoren in jedem Impedanzschaltkreis und die Anzahl von Bits, die für die Darstellung des Ausgangssignals verwendet werden, gewählt werden, irgendeine Zahl größer gleich zwei zu sein, beispielsweise in Übereinstimmung mit der gewünschten Ordnung der auf das Ausgangssignal anzuwendenden Preemphasis. Ähnlich den vorangehenden Ausführungsbeispielen sind die Kanalbreiten der Transistoren in jedem Impedanzschaltkreis bevorzugt so gewählt, daß sie eine binärgewichtete Relation aufweisen.

In dem unter Bezugnahme auf die Fig. 2, 4, 5 und 6 beschriebenen Ausführungsbeispielen resultiert eine Variation der Ausgangsamplitude gemäß der gewünschten Preemphasis in verschiedenen internen Strömen durch die Ausgangsstufen von Vbh nach Vbl. Wenn diese Strommodulation des Versorgungsstroms des Ausgangspufferschaltkreises unerwünscht ist, beispielsweise wenn andere Ausgangspufferschaltkreise für andere Signalkanäle mit demselben Spannungsversorgungsschaltkreis betrieben werden, kann diese Strommodulation durch Hinzufügen einer aktiven Last unterdrückt werden, die parallel zu dem jeweiligen Ausgangspufferschaltkreis über Vbl und Vbh geschaltet wird. Solch eine aktive Last kann mit denselben Signalen gesteuert werden, die die Signalausgangsamplitude des Ausgangspufferschaltkreises steuern. Die internen Elemente in der aktiven Last sind so dimensioniert, daß die Gesamtbelastung der Spannungsversorgung, die von dem Ausgangspufferschaltkreis und der aktiven Last resultiert, konstant und unabhängig von der variierenden Ausgangssignalamplitude ist.

Während in den obigen Ausführungsbeispielen Transistoren, die zu demselben Paar gehören, dieselbe Kanalbreite haben, kann es vorteilhaft sein, die Kanalbreite des oberen Transistors, der mit dem oberen Spannungsversorgungspotential Vbh verbunden ist, größer zu machen als die Kanalbreite des unteren Transistors desselben Paares, der mit dem unteren Spannungsversorgungspotential Vbl verbunden ist, um die Differenz in den Sourcepotentialen der Transistoren in jedem Paar zu berücksichtigen und ihre Auswirkung auf die jeweiligen EIN-Impedanzen zu kompensieren. Bevorzugt ist die Kanalbreite des oberen Transistors 5 bis 20% größer als die Kanalbreite des unteren Transistors.

Natürlich ist die Kanalbreite eines Transistors lediglich ein Parameter zum Steuern der EIN-Impedanz eines Transistors bei einer bestimmten Gate-Source Spannung. Ein Abgleich der Kanallänge ist ebenso möglich, um eine binär gewichtete Relation von EIN-Impedanzen zu erhalten und den Effekt zu kompensieren, der von verschiedenen Source-Potentialen der Transistoren in jedem Paar resultiert.

Alle oben beschriebenen Ausführungsbeispiele schließen NMOS Transistoren ein. Dieselben Prinzipien der Erfindung gelten mutatis mutandis für Konstruktionen, die PMOS Transistoren verwenden.

Patentansprüche

1. Ausgangspufferschaltkreis zum Übertragen von digitalen Signalen über eine Übertragungsleitung, mit einer Ausgangsstufe und einem Steuerschaltkreis;
 - wobei die Ausgangsstufe einen ersten Impedanzschaltkreis (N1, N3, N5) einschließt, der geschaltet ist, zwischen einem ersten Knoten zum Liefern eines oberen Versorgungspotentials (Vbh) und einem Ausgangsanschluß (Out) zur Verbindung mit der Übertragungsleitung (TL) eine erste Impedanz gemäß einem ersten Impedanzsteuersignal bereit zustellen; und
 - einen zweiten Impedanzschaltkreis (N2, N4, N6), der geschaltet ist, zwischen einem zweiten Knoten zum Liefern eines unteren Versorgungspotentials (Vbl) und dem Ausgangsanschluß (Out) gemäß einem zweiten Impedanzsteuersignal eine zweite Impedanz bereit zustellen;
 - wobei der Steuerschaltkreis angepaßt ist, ein digitales Dateneingangssignal (D) zu empfangen und die Impedanzsteuersignale gemäß dem digitalen Dateneingangssignal zu erzeugen;

dadurch gekennzeichnet, daß der Steuerschaltkreis ausgebildet ist, die Impedanzsteuersignale so zu erzeugen, daß

 - ein Impedanzverhältnis zwischen der von dem ersten Impedanzschaltkreis (N1, N3, N5) erzeugten ersten Impedanz und der von dem zweiten Impedanzschaltkreis (N2, N4, N6) erzeugten zweiten Impedanz einen von wenigstens drei verschiedenen vorbestimmten Werten annimmt, gemäß dem gegenwärtigen Zustand und der Vergangenheit des digitalen Dateneingangssignals (D); und
 - die Summe der von dem ersten Impedanzschaltkreis (N1, N3, N5) bereitgestellten Konduktanz und der von dem zweiten Impedanzschaltkreis (N2, N4, N6) bereitgestellten Konduktanz unabhängig von den erzeugten Impedanzverhältnissen ist.
2. Ausgangspufferschaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß
 - der erste Impedanzschaltkreis und der zweite Impedanzschaltkreis jeweils wenigstens zwei parallel geschaltete Impedanzelemente einschließt, wobei jedes der Impedanzelemente ausgebildet ist, ein jeweiliges Elementsteuersignal zum Steuern seiner Konduktanz von dem Steuerschaltkreis zu empfangen.
3. Ausgangspufferschaltkreis nach Anspruch 2, dadurch gekennzeichnet, daß
 - für jedes Impedanzelement (N1; N3; N5) des ersten Impedanzschaltkreises ein dazugehöriges Impedanzelement (N2; N4; N6) in dem zweiten Impedanzschaltkreis vorgesehen ist, wobei zueinander gehörende Impedanzelemente Impedanze-

lementpaare bilden; und

- der Steuerschaltkreis ausgebildet ist, die Elementsteuersignale für die Impedanzelemente eines jeden Impedanzelementpaares so zu erzeugen, daß die Summe der Konduktanzen der Impedanzelemente eines jeden Paares unabhängig von dem Verhältnis der Impedanzen der Impedanzelemente eines jeden Paares ist.

4. Ausgangspufferschaltkreis nach Anspruch 3, dadurch gekennzeichnet, daß jedes der Impedanzelemente (N1 bis N6) einen MOS Transistor mit einem Drain-Source Pfad und einem Gateanschluß aufweist, der geschaltet ist, ein Elementsteuersignal zum Steuern der Impedanz des Drain-Source Pfades zu empfangen.

5. Ausgangspufferschaltkreis nach Anspruch 4, dadurch gekennzeichnet, daß

- Transistoren, die zu demselben Impedanzelementpaar gehören, dieselbe Kanalbreite (W) haben; und

- der Steuerschaltkreis ausgebildet ist, komplementäre digitale Steuersignale an die Gates eines jeden Paares zu liefern.

6. Ausgangspufferschaltkreis nach Anspruch 5, dadurch gekennzeichnet, daß in jedem der Impedanzschaltkreise die Kanalbreiten (W) der Transistoren, die die steuerbaren Impedanzelemente (N1 bis N6) des jeweiligen Impedanzschaltkreises bilden, in einer binär gewichteten Relation zueinander stehen.

7. Ausgangspufferschaltkreis zum Übertragen von digitalen Signalen über eine Übertragungsleitung, mit einem Eingangsanschluß (D) zum Empfangen eines Dateneingangssignals, einer ersten Ausgangsstufe (N1 bis N6) und einem Steuerschaltkreis zum Steuern der Ausgangsstufe gemäß dem Dateneingangssignal;

- wobei die Ausgangsstufe einen ersten Spannungsversorgungsknoten (Vbh), einen zweiten Spannungsversorgungsknoten (Vbl) und einen Ausgangsknoten (Out, Outp) zur Verbindung mit der Übertragungsleitung (TL) aufweist und eine Vielzahl von Paaren von Transistoren (N1, N2; N3, N4; N5, N6) umfaßt, wobei jedes Paar einen ersten Transistor (N1; N3; N5) aufweist, der zwischen den ersten Spannungsversorgungsknoten (Vbh) und den Ausgangsknoten (Out, Outp) geschaltet ist, sowie einen zweiten Transistor (N2; N4; N6), der zwischen den Ausgangsknoten (Out, Outp) und den zweiten Spannungsversorgungsknoten (Vbl) geschaltet ist;

- wobei Transistoren, die zu demselben Transistorpaar gehören, ausgebildet sind, denselben EIN-Widerstand zu haben;

- wobei der Steuerschaltkreis ausgebildet ist, Steuersignale für die Vielzahl von Transistoren gemäß dem Dateneingangssignal und einer Vergangenheit des Dateneingangssignals zu erzeugen, um an dem Ausgangsanschluß (Out, Outp) ein Mehrpegel-Ausgangssignal mit einer Preemphasis zu erzeugen;

- wobei der Steuerschaltkreis ausgebildet ist, die Steuersignale für jedes Transistorpaar (N1, N2; N3, N4; N5, N6) der Ausgangsstufe so zu erzeugen, daß in jedem der Paare zu jeder Zeit ein Transistor in dem EIN-Zustand ist und der andere Transistor in dem AUS-Zustand.

8. Ausgangspufferschaltkreis nach Anspruch 7, gekennzeichnet durch eine zweite Ausgangsstufe (N11 bis N16) mit einem ersten Spannungsversorgungsknoten (Vbh),

einem zweiten Spannungsversorgungsknoten (Vbl) und einem Ausgangsknoten (Outn), wobei die zweite Ausgangsstufe eine Vielzahl von Paaren von Transistoren (N11, N12; N13, N14; N15, N16) umfaßt,

wobei jedes Paar einen ersten Transistor (N11; N13; N15) aufweist, der zwischen den ersten Spannungsversorgungsknoten (Vbh) der zweiten Ausgangsstufe und den Ausgangsknoten (Outn) der zweiten Ausgangsstufe geschaltet ist, sowie einen zweiten Transistor (N12; N14; N16), der zwischen den Ausgangsknoten (Outn) der zweiten Ausgangsstufe und den zweiten Spannungsversorgungsknoten (Vbl) der zweiten Ausgangsstufe geschaltet ist,

wobei Transistoren, die zu demselben Transistorpaar gehören, ausgebildet sind, denselben EIN-Widerstand zu haben;

- wobei der Steuerschaltkreis ausgebildet ist, Steuersignale zum Einschalten und Ausschalten der Vielzahl von Paaren von Transistoren der zweiten Ausgangsstufe gemäß dem Dateneingangssignal und einer Vergangenheit des Dateneingangssignals zu erzeugen, um zwischen dem Ausgangsknoten (Outp) der ersten Ausgangsstufe und dem Ausgangsknoten (Outn) der zweiten Ausgangsstufe ein differentielles Mehrpegel-Ausgangssignal mit einer Preemphasis zu erzeugen;
- wobei der Steuerschaltkreis angepaßt ist, die Steuersignale für jedes Transistorpaar der zweiten Ausgangsstufe so zu erzeugen, daß zu jeder Zeit ein Transistor eines jeden Paares in dem EIN-Zustand ist, und der andere Transistor in dem AUS-Zustand.

9. Ausgangspufferschaltkreis zum Übertragen von digitalen Signalen über eine Übertragungsleitung, mit

- einem Eingangsanschluß (D) zum Empfangen eines Dateneingangssignals, einer ersten (N1 bis N6), einer zweiten (N11 bis N16), einer dritten (N21 bis N26) und einer vierten (N31 bis N36) Ausgangsstufe und einem Steuerschaltkreis zum Steuern der Ausgangsstufen gemäß dem Dateneingangssignal;
- wobei jede der ersten, zweiten, dritten und vierten Ausgangsstufen einen ersten Knoten, einen zweiten Knoten und einen Knoten sowie eine Vielzahl von Paaren von Transistoren aufweist, wobei jedes Paar einen ersten Transistor umfaßt, der zwischen den ersten Knoten und den Ausgangsknoten geschaltet ist, sowie einen zweiten Transistor, der zwischen den Ausgangsknoten und den zweiten Knoten geschaltet ist, wobei Transistoren, die zu demselben Transistorpaar gehören, ausgebildet sind, denselben EIN-Widerstand zu haben;
- wobei erste Knoten der ersten Ausgangsstufe und der erste Knoten der dritten Ausgangsstufe geschaltet sind, ein oberes Spannungsversorgungspotential (Vbh) zu empfangen;
- wobei der zweite Knoten der zweiten Ausgangsstufe und der zweite Knoten der vierten Ausgangsstufe geschaltet sind, ein unteres Spannungsversorgungspotential (Vbl) zu empfangen;
- wobei der zweite Knoten der ersten Ausgangsstufe, der erste Knoten der zweiten Ausgangsstufe, der zweite Knoten der dritten Ausgangsstufe und der erste Knoten der vierten Ausgangsstufe miteinander (VGND) verbunden sind;
- wobei die Ausgangsknoten der ersten und

zweiten Ausgangsstufen miteinander verbunden sind, um einen ersten Ausgangsanschluß (Outp) zu bilden;

- wobei die Ausgangsknoten der dritten und vierten Ausgangsstufen miteinander verbunden sind, um einen zweiten Ausgangsanschluß (Outn) zu bilden;

- wobei der Steuerschaltkreis (G1 bis G24, I11 bis I15) ausgebildet ist, Steuersignale zum Ein- und Ausschalten der Vielzahl von Paaren von Transistoren gemäß dem Dateneingangssignal und einer Vergangenheit des Dateneingangssignals zu erzeugen, um zwischen dem ersten Ausgangsanschluß (Outp) und dem zweiten Ausgangsanschluß (Outn) ein Mehrpegel-Ausgangssignal mit Preemphasis zu erzeugen;

- wobei der Steuerschaltkreis ausgebildet ist, die Steuersignale für jedes Transistorpaar der ersten bis vierten Ausgangsstufe so zu erzeugen, daß abhängig von dem logischen Zustand des Dateneingangssignals entweder die ersten (N1 bis N6) und die vierten (N31 bis N36) Ausgangsstufen in einem aktiven Zustand sind und die zweiten (N11 bis N16) und die dritten (N21 bis N26) Ausgangsstufen inaktiv sind, oder die erste (N1 bis N6) und die vierte (N31 bis N36) Ausgangsstufe inaktiv sind, und die zweite (N11 bis N16) und die dritte (N21 bis N26) Ausgangsstufe in einem aktiven Zustand sind;

- worin in jeder aktiven Ausgangsstufe zu jeder Zeit ein Transistor eines jeden Paares in dem EIN-Zustand ist und der andere Transistor in dem AUS-Zustand, und in jeder inaktiven Ausgangsstufe alle Transistoren in dem AUS-Zustand sind.

10. Ausgangspufferschaltkreis zum Übertragen von digitalen Signalen über eine Übertragungsleitung, mit

- einem Eingangsanschluß (D) zum Empfangen eines Dateneingangssignals, einer ersten Ausgangsstufe (N1, N3, N5, N12, N14, N16) und einer zweiten Ausgangsstufe (N21, N23, N25, N32, N34, N36);
- wobei jede der Ausgangsstufen einen ersten Spannungsversorgungsknoten (Vbh), einen zweiten Spannungsversorgungsknoten (Vbl) und einen Ausgangsknoten (Outp; Outn) zur Verbindung mit der Übertragungsleitung sowie eine Vielzahl von Paaren von Transistoren (N1, N12; N3, N14; N5, N16; N21, N32; N23, N34; N25, N36) einschließt;
- wobei jedes Paar einen ersten Transistor aufweist, der zwischen den ersten Spannungsversorgungsknoten (Vbh) und den Ausgangsknoten (Outp; Outn) geschaltet ist, sowie einen zweiten Transistor, der zwischen den Ausgangsknoten (Outp; Outn) und den zweiten Spannungsversorgungsknoten (Vbl) geschaltet ist, wobei Transistoren, die zu demselben Transistorpaar gehören, ausgebildet sind, denselben EIN-Widerstand zu haben;
- wobei der erste Spannungsversorgungsknoten (Vbh) der ersten Ausgangsstufe (N1, N3, N5, N12, N14, N16) und der erste Spannungsversorgungsknoten der zweiten Ausgangsstufe (N21, N23, N25, N32, N34, N36) geschaltet ist, ein erstes Spannungsversorgungspotential zu empfangen, und der zweite Knoten der ersten Ausgangsstufe und der zweite Knoten der zweiten Ausgangsstufe geschaltet sind, ein zweites Span-

nungsversorgungspotential (Vbl) zu empfangen;
– wobei die Anzahl von Transistorpaaren (N1, N12; N3, N14; N5, N16) der ersten Ausgangsstufe gleich der Anzahl der Transistorpaare (N21, N32; N23, N34; N25, N36) der zweiten Ausgangsstufe ist;
– eine Vielzahl von Nebenschlußtransistoren (N41, N42, N43), deren Drain-Source Pfade über den ersten Ausgangsknoten (Outp) und den zweiten Ausgangsknoten (Outn) geschaltet sind, wobei jeder Nebenschlußtransistor (N41; N42; N43) zu einem Transistorpaar (N1, N12; N3, N14; N5, N16) der ersten Ausgangsstufe und zu einem Transistorpaar (N21, N32; N23, N34; N25, N36) der zweiten Ausgangsstufe gehört, wobei ein Nebenschlußtransistor und seine dazugehörigen Transistorpaare eine Gruppe bilden, wobei jeder Nebenschlußtransistor ausgebildet ist, einen doppelt so großen EIN-Widerstand zu haben wie der EIN-Widerstand eines jeden der Transistoren der Transistorpaare in seiner Gruppe; und
– einen Steuerschaltkreis (G1 bis G3, G10 bis G15; G22 bis G24) zum Steuern der Transistoren der ersten und der zweiten Ausgangsstufen und der Nebenschlußtransistoren gemäß dem Dateneingangssignal und einer Vergangenheit des Dateneingangssignals, um zwischen dem ersten Ausgangsanschluß (Outp) und dem zweiten Ausgangsanschluß (Outn) ein Mehrpegelausgangssignal mit Preemphasis zu erzeugen;
– wobei der Steuerschaltkreis ausgebildet ist, die Transistoren so zu steuern, daß in jeder Gruppe entweder der Nebenschlußtransistor der jeweiligen Gruppe in dem EIN-Zustand ist und die Transistoren der Paare der jeweiligen Gruppe in dem AUS-Zustand sind, oder der Nebenschlußtransistor in dem AUS-Zustand ist und ein Transistor eines jeden Paares der jeweiligen Gruppe in dem EIN-Zustand ist.

Hierzu 4 Seite(n) Zeichnungen

FIG. 1

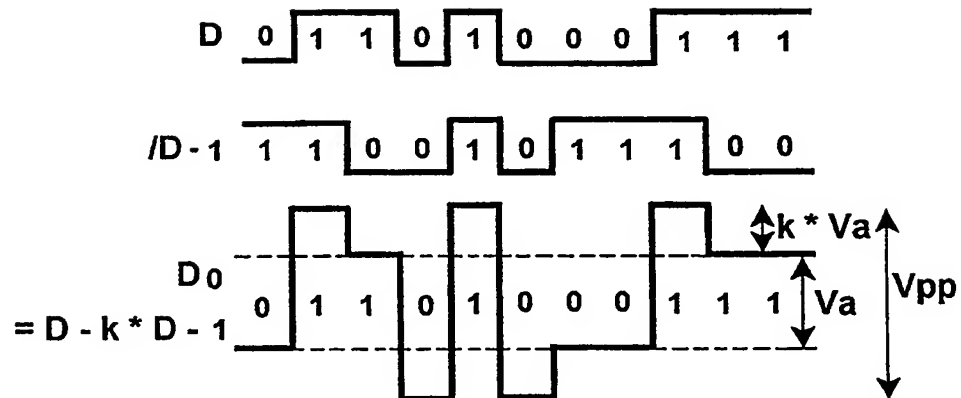


FIG.2

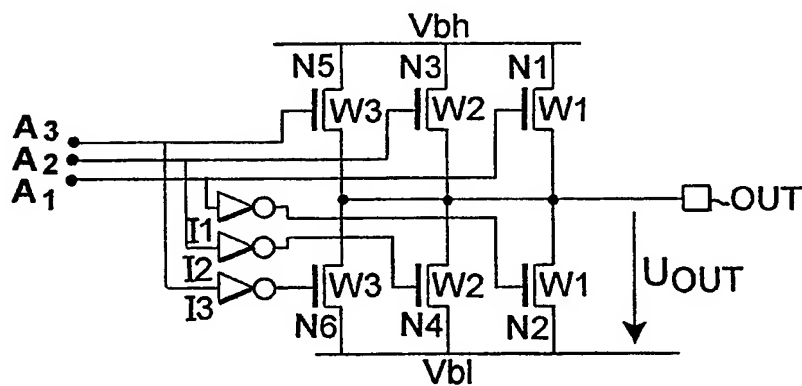


FIG.3

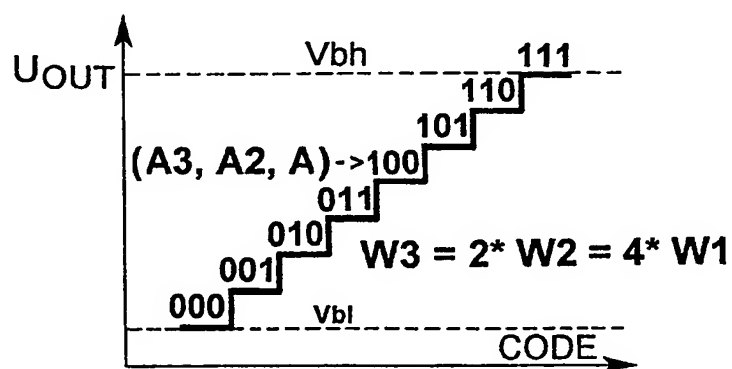


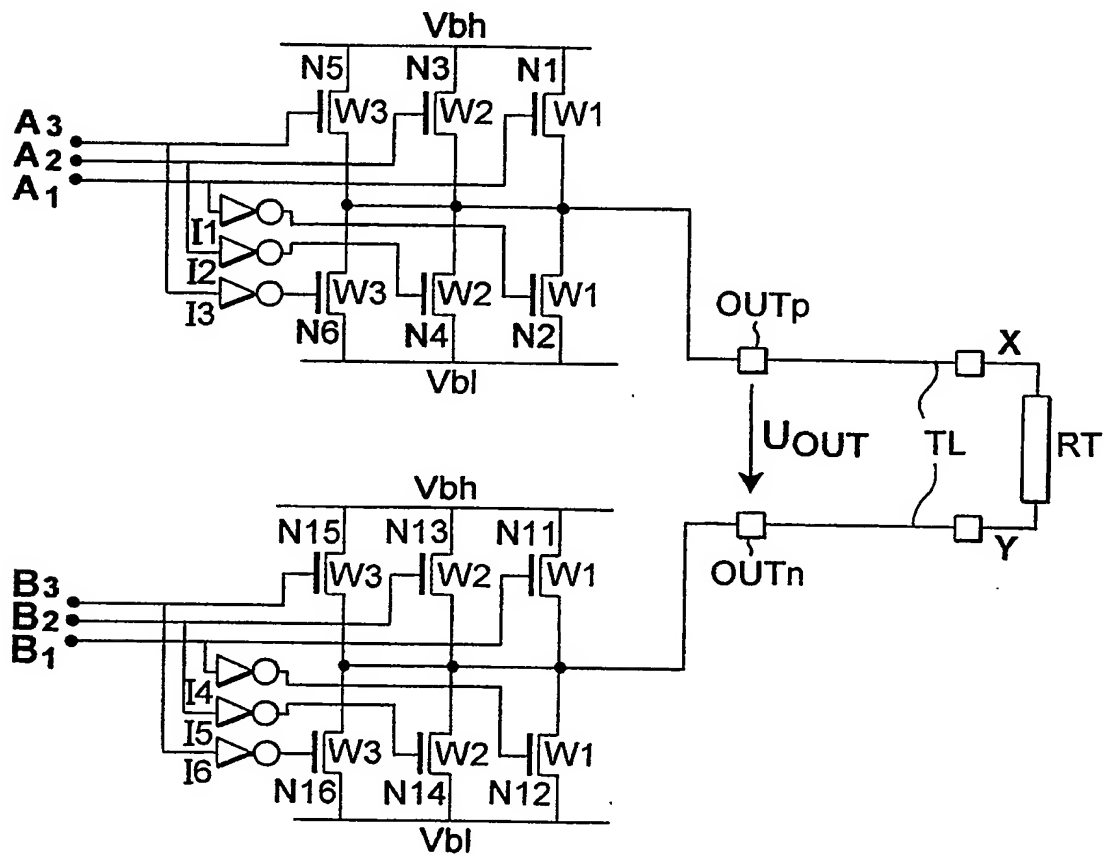
FIG.4

FIG.5